

1/5/1

DIALOG(R) File 351:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.

012513215 \*\*Image available\*\*  
WPI Acc No: 1999-319321/\*199927\*

XRAM Acc No: C99-094235  
XRPX Acc No: N99-239537

Semiconductor nano-crystal manufacture used in non-volatile memory, such as EEPROM, production - involves heat-treating thin silicon@ film, formed at negative pressure, at temperature above film deposition temperature and in helium atmosphere to form nano-spheres with preset diameter

Patent Assignee: SHARP KK (SHAF )

Inventor: FUKUSHIMA Y; NAKAMURA K; UEDA T

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 11111867	A	19990423	JP 97266986	A	19970930	199927	B
KR 99030294	A	19990426	KR 9840780	A	19980930	200028	
US 6090666	A	20000718	US 98163552	A	19980930	200037	
TW 408473	A	20001011	TW 98116219	A	19980930	200116	
KR 276774	B	20010115	KR 9840780	A	19980930	200206	

Priority Applications (No Type Date): JP 97266986 A 19970930

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11111867	A	15	H01L-021/8247	
KR 99030294	A		H01L-021/20	
US 6090666	A		H01L-021/336	
TW 408473	A		H01L-027/10	
KR 276774	B		H01L-021/20	Previous Publ. patent KR 99030294

Abstract (Basic): JP 11111867 A

NOVELTY - A thin amorphous silicon film (3) and a tunnel insulating film (2) are formed on a Si substrate (1) at negative pressure. The silicon film is heat-treated at temperature exceeding its formation temperature and in helium gas atmosphere devoid of oxidation property. Ball-shaped nano-crystals (4) with approximate diameter of 18 nm is formed on the insulating film (2).

USE - For semiconductor memory element in non-volatile memory, such as EEPROM and floating gate of memory.

ADVANTAGE - Enables to adjustment of density and size of nano-crystal. Thickness of insulating film between nano-crystal and channel area is easily adjusted. Minimises variation in characteristics such as threshold value and write-in ability. Enables high speed rewriting operation to be performed.

DESCRIPTION OF DRAWING - The drawing indicates side view of nano-crystal. (1) Silicon substrate; (2) Tunnel insulating film; (3) Thin amorphous silicon film; (4) Nano-crystal.

Dwg.1/8

Title Terms: SEMICONDUCTOR; NANO; CRYSTAL; MANUFACTURE; NON; VOLATILE; MEMORY; EEPROM; PRODUCE; HEAT; TREAT; THIN; SILICON; FILM; FORMING; NEGATIVE; PRESSURE; TEMPERATURE; ABOVE; FILM; DEPOSIT; TEMPERATURE; HELIUM; ATMOSPHERE; FORM; NANO; SPHERE; PRESET; DIAMETER

Derwent Class: L03; U11; U12; U13; U14

International Patent Class (Main): H01L-021/20; H01L-021/336; H01L-021/8247  
; H01L-027/10

International Patent Class (Additional): H01L-021/205; H01L-027/115;  
H01L-029/06; H01L-029/788; H01L-029/792

File Segment: CPI; EPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-111867

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/8247  
29/788  
29/792  
21/20  
21/205

識別記号

F I

H 01 L 29/78 371  
21/20  
21/205  
29/06  
27/10 434

審査請求 未請求 請求項の数14 O L (全 15 頁) 最終頁に続く

(21)出願番号

特願平9-266986

(22)出願日

平成9年(1997)9月30日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上田 徹

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(72)発明者 福島 康守

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(72)発明者 中村 健太

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

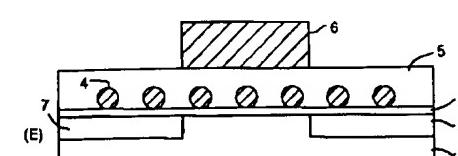
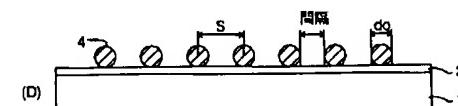
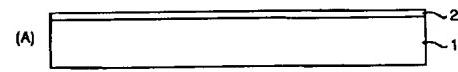
(74)代理人 弁理士 青山 葵 (外1名)

(54)【発明の名称】 半導体ナノ結晶の製造方法およびその半導体ナノ結晶を用いた半導体記憶素子

(57)【要約】

【課題】 密度、大きさの制御性がよく、ばらつきの少ない半導体ナノ結晶の製造方法を提供すると共に、その半導体ナノ結晶を用いて、ナノ結晶とチャネル領域との間の絶縁膜の膜厚を容易に制御でき、しきい値や書き込み性能等の特性ばらつきが少なく、高速書き換えが可能な不揮発性を有する半導体記憶素子を提供する。

【解決手段】 シリコン基板1上に形成されたトンネル絶縁膜2上に大気圧以下の低圧下でアモルファスシリコン薄膜3を堆積する。上記アモルファスシリコン薄膜3を堆積した後、酸化性を有しないヘリウムガスの雰囲気中でアモルファスシリコン薄膜3の堆積温度以上の温度でアモルファスシリコン薄膜3に熱処理を施して、トンネル絶縁膜2上に直径18nm以下の球状の複数のナノ結晶4を互いに間隔をあけて形成する。上記複数のナノ結晶4を半導体記憶素子のフローティングゲートとして用いる。



**【特許請求の範囲】**

**【請求項 1】** 半導体基板上または上記半導体基板上に形成された絶縁膜上に大気圧以下の低圧下で非晶質半導体薄膜を堆積するステップと、上記非晶質半導体薄膜を堆積した後、真空中または酸化性を有しないガスの雰囲気中で上記非晶質半導体薄膜の堆積温度以上の温度で上記非晶質半導体薄膜に熱処理を施して、上記半導体基板上または上記絶縁膜上に直径 18 nm 以下の球状の複数の半導体ナノ結晶を互いに間隔をあけて形成するステップとを有することを特徴とする半導体ナノ結晶の製造方法。

**【請求項 2】** 請求項 1 に記載の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記非晶質半導体薄膜を大気にさらすことなく、上記半導体ナノ結晶を形成することを特徴とする半導体ナノ結晶の製造方法。

**【請求項 3】** 請求項 1 に記載の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記半導体ナノ結晶を形成する前に上記非晶質半導体薄膜の堆積温度以下で上記非晶質半導体薄膜の表面の酸化膜を除去するステップを有することを特徴とする半導体ナノ結晶の製造方法。

**【請求項 4】** 請求項 1 に記載の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記半導体ナノ結晶を形成する前に大気圧以下の低圧下で上記非晶質半導体薄膜の表面に結晶核を形成するステップを有することを特徴とする半導体ナノ結晶の製造方法。

**【請求項 5】** 請求項 4 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンからなる場合、上記結晶核を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか 1 つを含んだガスを原料ガスとして、0.01 Torr 以下の真空中で行うことを特徴とする半導体ナノ結晶の製造方法。

**【請求項 6】** 請求項 4 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がゲルマニウムからなる場合、上記結晶核を形成するステップは、四フッ化ゲルマニウムまたはモノゲルマンのいずれか 1 つを含んだガスを原料ガスとして、0.01 Torr 以下の真空中で行うことを特徴とする半導体ナノ結晶の製造方法。

**【請求項 7】** 請求項 4 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンとゲルマニウムからなる場合、上記結晶核を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか 1 つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか 1 つ

とを含んだガスを原料ガスとして、0.01 Torr 以下の真空中で行うことを特徴とする半導体ナノ結晶の製造方法。

**【請求項 8】** 請求項 1 に記載の半導体ナノ結晶の製造方法において、上記半導体基板上に上記非晶質半導体薄膜を堆積した場合、上記半導体ナノ結晶を形成した後、上記半導体ナノ結晶表面と上記半導体基板表面を酸化させて酸化膜を形成するステップを有することを特徴とする半導体ナノ結晶の製造方法。

**【請求項 9】** 請求項 1 乃至 8 のいずれか 1 つに記載の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜の堆積膜厚  $t$  と、隣接する上記半導体ナノ結晶の中心間の距離  $s$  は、 $t < (\pi/6)s$  の関係を満たすことを特徴とする半導体ナノ結晶の製造方法。

**【請求項 10】** 請求項 1 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶は、シリコン、ゲルマニウムまたはシリコンとゲルマニウムの混合物のうちのいずれか 1 つからなることを特徴とする半導体ナノ結晶の製造方法。

**【請求項 11】** 請求項 10 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンからなる場合、上記非晶質半導体薄膜を形成するステップは、シランガス、ジシランガス、ジシランガスまたはトリシランガスのうちのいずれか 1 つを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか 1 つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスシリコン薄膜を堆積すると共に、

上記半導体ナノ結晶を形成するステップは、10 Torr 以下の真空中または 10 Torr 以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させることを特徴とする半導体ナノ結晶の製造方法。

**【請求項 12】** 請求項 10 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がゲルマニウムからなる場合、

上記非晶質半導体薄膜を形成するステップは、四フッ化ゲルマニウムまたはモノゲルマンのいずれか 1 つを原料ガスとして、または、四フッ化ゲルマニウムまたはモノゲルマンのいずれか 1 つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスゲルマニウム薄膜を堆積すると共に、

上記半導体ナノ結晶を形成するステップは、10 Torr 以下の真空中または 10 Torr 以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させることを特徴とする半導体ナノ結晶の製造方法。

**【請求項 13】** 請求項 10 に記載の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンとゲルマニウムからなる場合、

上記非晶質半導体薄膜を形成するステップは、シランガス、ジシランガスまたトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと原料ガスとして、または、シランガス、ジシランガスまたトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファシリコンゲルマニウム薄膜を堆積すると共に、

上記半導体ナノ結晶を形成するステップは、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させることを特徴とする半導体ナノ結晶の製造方法。

【請求項14】 請求項1乃至13のいずれか1つに記載の半導体ナノ結晶の製造方法により製造された上記半導体ナノ結晶を、SOI基板上に形成されたトランジスタのフローティングゲートとしたことを特徴とする半導体ナノ結晶を用いた半導体記憶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電気的に消去可能な不揮発性メモリ等に用いられるフローティングゲートとして使用される半導体ナノ結晶の製造方法およびその半導体ナノ結晶を用いた半導体記憶素子に関する。

【0002】

【従来の技術】電子機器の低消費電力化、小型化には、集積度が高くかつ低消費電力で電気的に消去可能なプログラム可能な不揮発性メモリ等に用いられるフローティングゲートとして使用される半導体ナノ結晶の製造方法およびその半導体ナノ結晶を用いた半導体記憶素子に関する。

【0003】(i) ホットキャリアに起因する信頼性低下という問題から、浮遊ゲートへの電荷の注入および除去の回数が制限されるため、書き込み消去回数に制限がある。

【0004】(ii) 不揮発性を維持するために比較的厚い絶縁膜を必要とし、この厚い絶縁膜を通してFOWLER-NORDHEIM(ファウラー・ノルドハイム)トンネル作用で電子または正孔を注入するには、現状では、10V以上の大きな電圧が要求され、その結果、ホットキャリアが生成され、ホットキャリアによるトラップの形成と界面における反応およびホットキャリアの緩和の影響により絶縁膜の劣化が起こる。

【0005】(iii) 書き込み消去が浮遊ゲートへの充電・放電を通じて流れる微小電流によって行われるので、充電・放電時間が長い(ミリ秒オーダー)。

【0006】そこで、特開平7-302848号公報の

半導体記憶素子では、このような(i)～(iii)の問題点を解決した半導体記憶素子が提案されている。この半導体記憶素子は、図5に示すように、半導体基板120に所定の間隔を開けてソース領域108、ドレイン領域110を形成し、上記半導体基板120上に絶縁層112を介してソース、ドレイン領域108、110間のチャネル領域106に対向する領域に浮遊ゲート104を形成している。そして、上記浮遊ゲート104を絶縁層102で覆い、その上に制御ゲート100を形成している。上記浮遊ゲート104は、図6に示すように、直径1nm～20nmの半導体材料で構成したクラスタまたは島122としている。そして、チャネル領域106と浮遊ゲート104との間の絶縁層112を電子が直接トンネル効果で通過できるまでに薄くすると共に、浮遊ゲート104のエネルギー準位をチャネル領域106よりも低くして、トラップされた電子が容易に脱出できないようにしている。

【0007】上記浮遊ゲートの製造方法については、以下の2つの文献に述べられている。

【0008】(1) A Silicon nanocrystals based memory Sandip Tiwari et al., Appl. Phys. Lett. 68(10) p1377(1996)

図7は上記文献に記載された浮遊ゲートを有する半導体記憶素子の断面の模式図を示し、ソース領域206とドレイン領域207が形成された半導体基板201上に厚さ1.1nm～1.8nmのトンネル絶縁膜202を形成し、トンネル絶縁膜202上にCVD装置で直径5nm、間隔5nmのナノ結晶203を形成している。上記ナノ結晶203の密度は、 $1 \times 10^{12} \text{ cm}^{-2}$ である。さらに、上記ナノ結晶203上にコントロールゲート絶縁膜204を形成し、そのコントロールゲート絶縁膜204上に厚さ7nmのSiO<sub>2</sub>を堆積して、コントロールゲート205を形成している。

【0009】(2) Fast and Long Retention-Time Nano-Crystalline Memory Hussein I. Hanafi et al., IEEE Trans. Electron Device, Vol. 43, p1379(1996)

図8(A)～(C)は上記文献に記載された浮遊ゲートを有する半導体記憶素子の製造方法を示し、半導体基板301上に形成された5nm～20nmの熱酸化膜302を形成し(図8(A)に示す)、熱酸化膜302中にハイドーズのシリコンSiまたはゲルマニウムGeを過飽和にイオン注入する(図8(B)に示す)。このときのイオン注入は、例えば5keV、 $5 \times 10^{15} \text{ cm}^{-2}$ の条件で行う。その後、窒素N<sub>2</sub>の雰囲気中で、950℃、30分間の熱処理を施して、熱酸化膜302中に直径5nmのシリコンSiまたはゲルマニウムGeのナノ結晶303を成長させる。

そして、半導体基板301に所定の間隔をあけてソース領域305とドレイン領域306を形成して、ソース領域305とドレイン領域306との間の領域に対向する熱酸化膜302上にゲート電極304を形成している(図8(C)に示す)。

#### 【0010】

$$\Delta V_{th} = q (n_{well}/\epsilon_{ox}) (t_{ctrl} + (\epsilon_{ox}/\epsilon_{si}) t_{well}/2) \quad \dots \quad (式1)$$

$q$  : 電子の負荷

$n_{well}$  : ナノ結晶密度

$\epsilon_{ox}$  : 酸化膜の誘電率

$t_{ctrl}$  : コントロールゲート酸化膜厚

$\epsilon_{si}$  : シリコンの誘導率

$t_{well}$  : ナノ結晶の大きさ

上記式1より明らかのように、ナノ結晶密度 $n_{well}$ およびナノ結晶の大きさ $t_{well}$ のばらつきを減じることによって、デバイス特性( $\Delta V_{th}$ )のばらつきを低減できることが分かる。また、ナノ結晶とチャネル間のトンネル絶縁膜の膜厚は、電子のナノ結晶への直接トンネリングを決定づける(トンネル確率はトンネル絶縁膜の膜厚の関数で表される)ものであるから、この膜厚のばらつきが書き込み特性のばらつきに影響を及ぼす。このように、上記ナノ結晶密度、ナノ結晶の大きさおよびナノ結晶とチャネル間のトンネル絶縁膜の膜厚がメモリ固有の制御すべき主たるパラメータと考えられる。

【0012】上記文献(1), (2)のナノ結晶密度、ナノ結晶の大きさおよびナノ結晶とチャネル間のトンネル絶縁膜の膜厚について考える。

#### 【0013】文献(1)について

上記文献(1)の半導体記憶素子は、下地の $SiO_2$ 膜表面に偶発的に存在するナノ結晶またはCVD初期に発生するランダムな結晶核のまわりに島状に成長するナノ結晶を利用しているものと考えられ、ナノ結晶密度、ナノ結晶の大きさは制御されていない。一方、ナノ結晶とチャネル間のトンネル絶縁膜の膜厚については、予め半導体基板を熱酸化するものであり、従来の技術で制御可能と考えられる。

#### 【0014】文献(2)について

上記文献(2)の半導体記憶素子は、熱酸化膜302中にシリコンSiまたはゲルマニウムGeをイオン注入した後、熱処理して熱酸化膜302中にナノ結晶を成長させるが、注入イオン濃度は、深さ方向に分布し、熱酸化膜302中のイオン濃度を均一にすることはできない。したがって、濃度分布にばらつきのある状態で熱処理するから、熱酸化膜302中の深さ方向のナノ結晶密度も分布を有することになり、ナノ結晶密度、ナノ結晶の大きさおよびナノ結晶とチャネル間のトンネル絶縁膜の膜厚を制御するのは困難と考えられる。すなわち、課題であるナノ結晶密度、ナノ結晶の大きさおよびナノ結晶とチャネル間のトンネル絶縁膜の膜厚について、制御性・均

【発明が解決しようとする課題】上記文献(1), (2)に述べられているように、1個のナノ結晶につき1個の電子が蓄積されたときのしきい値電圧 $V_{th}$ のシフト電圧 $\Delta V_{th}$ は次式で表される。

#### 【0011】

一性を向上させるのは困難である。

【0015】さらに、下地の半導体基板に到達させることなく、膜厚5nm~20nmの極薄の酸化膜へ注入するには、なるべく低エネルギーのイオン注入をする必要があり、例えば20nmの酸化膜に対しては5keVとなる。さらに、酸化膜の膜厚が薄くなると、エネルギーを減じる必要があり、イオン注入機の通常の性能では、このような低エネルギーのイオン注入の制御が困難となり、製造方法として実用的でない。

【0016】そこで、この発明の目的は、密度、大きさの制御性がよく、ばらつきの少ない半導体ナノ結晶を形成できる半導体ナノ結晶の製造方法を提供することにある。

【0017】また、この発明のもう一つの目的は、上記半導体ナノ結晶を半導体記憶素子に用いた場合に、半導体ナノ結晶とチャネル領域との間の絶縁膜の膜厚の制御が容易にでき、しきい値電圧や書き込み性能等の特性ばらつきが少なく、高速書き換えが可能な不揮発性を有する半導体記憶素子を提供することにある。

#### 【0018】

【課題を解決するための手段】上記目的を達成するため、請求項1の半導体ナノ結晶の製造方法は、半導体基板上または上記半導体基板上に形成された絶縁膜上に大気圧以下の低圧下で非晶質半導体薄膜を堆積するステップと、上記非晶質半導体薄膜を堆積した後、真空中または酸化性を有しないガスの雰囲気中で上記非晶質半導体薄膜の堆積温度以上の温度で上記非晶質半導体薄膜に熱処理を施して、上記半導体基板上または上記絶縁膜上に直径18nm以下の球状の複数の半導体ナノ結晶を互いに間隔をあけて形成するステップとを有することを特徴としている。

【0019】上記請求項1の半導体ナノ結晶の製造方法によれば、上記半導体基板上またはその半導体基板上に形成された絶縁膜上に大気圧以下の低圧下で非晶質半導体薄膜を堆積した後、真空中または酸化性を有しないガス雰囲気中で非晶質半導体薄膜の堆積温度以上の温度で、熱処理を施して堆積した非晶質半導体薄膜すべてを結晶粒に変化させることによって、球状の複数の半導体ナノ結晶を形成する。このとき、上記非晶質半導体薄膜の堆積膜厚 $t$ 、ナノ結晶の半径 $r_0$ および隣接する結晶粒の中心間の距離 $s$ には、

$$s^2 t = (4\pi/3) r_0^3 \quad \dots \quad (式2)$$

の関係がある。上記隣接する半導体ナノ結晶の中心間の距離  $s$  は、半導体ナノ結晶の密度に相当し、非晶質半導体薄膜の膜質と熱処理条件で決定される。したがって、非晶質半導体薄膜の膜質と熱処理条件で隣接する半導体ナノ結晶の中心間の距離  $s$  と堆積膜厚  $t$  を制御することによって、半導体ナノ結晶の密度、大きさを制御することが可能になる。また、半導体ナノ結晶の直径を  $1.8\text{ nm}$  未満にすることによって、球状の半導体ナノ結晶の最低エネルギーが室温におけるエネルギーより大きくなるので、キャリア閉じ込め領域としての半導体ナノ結晶は、熱的ゆらぎの影響を受けることなく、室温で電子を十分に長時間保持することができる。したがって、密度、大きさの制御性がよく、ばらつきの少ない半導体ナノ結晶を形成できるまた、上記半導体ナノ結晶を半導体記憶素子に用いた場合、半導体ナノ結晶とチャネル領域との間の絶縁膜の膜厚の制御が容易にでき、しきい値電圧や書き込み性能等の特性ばらつきが少なく、高速書き換えが可能な不揮発性を有する半導体記憶素子を実現できる。

【0020】また、請求項2の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記非晶質半導体薄膜を大気にさらすことなく、上記半導体ナノ結晶を形成することを特徴としている。

【0021】上記請求項2の半導体ナノ結晶の製造方法によれば、上記非晶質半導体薄膜を堆積させた後、大気にさらすことなく、自然酸化膜のない状態で半導体ナノ結晶を形成すると、結晶化中の表面に結晶成長を阻害する自然酸化膜がないので、半導体ナノ結晶表面の形状が容易に変化しながら結晶化し、半導体ナノ結晶は、最も安定な形状である球に近い形となる。

【0022】また、請求項3の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記半導体ナノ結晶を形成する前に上記非晶質半導体薄膜の堆積温度以下で上記非晶質半導体薄膜の表面の酸化膜を除去するステップを有することを特徴としている。

【0023】上記請求項3の半導体ナノ結晶の製造方法によれば、上記非晶質半導体薄膜を堆積した後、基板を一旦大気にさらした後でも、例えば、大気圧以下でArプラズマで表面の自然酸化膜をスパッタリングで除去するか、または、高真空下のシランガス等の雰囲気中で自然酸化膜を還元して除去して、上記半導体ナノ結晶を形成するための熱処理する。そうすると、半導体ナノ結晶表面の形状が容易に変化しながら結晶化するため、半導体ナノ結晶は、最も安定な形状である球に近い形となる。

【0024】また、請求項4の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記半導体ナノ結

品を形成する前に大気圧以下の低圧下で上記非晶質半導体薄膜の表面に結晶核を形成するステップを有することを特徴としている。

【0025】上記請求項4の半導体ナノ結晶の製造方法によれば、上記半導体基板上または半導体基板上に形成された絶縁膜上に非晶質半導体薄膜を堆積した後、その非晶質半導体薄膜の表面に結晶核を形成し、続いて大気圧以下の低圧下で熱処理により非晶質半導体薄膜の表面の結晶核を種にして半導体ナノ結晶を成長させるので、半導体ナノ結晶の大きさ、形状や結晶性等の制御性が高まり、ばらつきをより一層低減できる。この場合、結晶核密度は、結晶核の形成条件によって決定することができる。

【0026】また、請求項5の半導体ナノ結晶の製造方法は、請求項4の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンからなる場合、上記結晶核を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを含んだガスを原料ガスとして、 $0.01\text{ Torr}$ 以下の真空中で行うことを特徴としている。

【0027】上記請求項5の半導体ナノ結晶の製造方法によれば、上記非晶質半導体薄膜を堆積した後、反応室中に基板を設置して加熱しながら、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを含んだガスを流して、 $0.01\text{ Torr}$ 以下の低圧下で処理することによって、上記ガスの分子または反応種を非晶質半導体薄膜表面に吸着させ、島状のシリコン粒を形成することなく、半導体ナノ結晶の形成に最適な結晶核を容易に形成できる。上記結晶核密度は、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを含んだガスを流しているときの温度およびその時間で決めることができ、制御性がよい。

【0028】また、請求項6の半導体ナノ結晶の製造方法は、請求項4の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がゲルマニウムからなる場合、上記結晶核を形成するステップは、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを含んだガスを原料ガスとして、 $0.01\text{ Torr}$ 以下の真空中で行うことを特徴としている。

【0029】上記請求項6の半導体ナノ結晶の製造方法によれば、上記非晶質半導体薄膜を堆積した後、反応室中に基板を設置して加熱しながら、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを含んだガスを流して、 $0.01\text{ Torr}$ 以下の低圧下で処理することによって、上記ガスの分子または反応種を非晶質半導体薄膜表面に吸着させ、島状のゲルマニウム粒を形成することなく、ゲルマニウムからなる半導体ナノ結晶の形成に最適な結晶核を容易に形成できる。上記結晶核密度は、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを含んだガスを流しているときの温度およびその時間で

決めることができ、制御性がよい。

【0030】また、請求項7の半導体ナノ結晶の製造方法は、請求項4の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンとゲルマニウムからなる場合、上記結晶核を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと含んだガスを原料ガスとして、0.01 Torr以下の中空で行うことを特徴としている。

【0031】上記請求項7の半導体ナノ結晶の製造方法によれば、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと含んだガスを流して、0.01 Torr以下の低圧下で処理することによって、上記ガスの分子または反応種を非晶質半導体薄膜表面に吸着させ、島状のシリコングルマニウム粒を形成することなく、シリコンとゲルマニウムからなる半導体ナノ結晶の形成に最適な結晶核を容易に形成できる。上記結晶核密度は、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと含んだガスを流しているときの温度およびその時間で決めることができ、制御性がよい。

【0032】また、請求項8の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記半導体基板上に上記非晶質半導体薄膜を堆積した場合、上記半導体ナノ結晶を形成した後、上記半導体ナノ結晶表面と上記半導体基板表面を酸化させて酸化膜を形成するステップを有することを特徴としている。

【0033】上記請求項8の半導体ナノ結晶の製造方法によれば、この半導体ナノ結晶を半導体記憶素子に適用した場合、上記半導体基板上に半導体ナノ結晶を形成した後、半導体ナノ結晶表面と半導体基板表面とを酸化することによって、半導体記憶素子のチャネル領域と半導体ナノ結晶間のトンネル絶縁膜となる酸化膜を制御よく形成できる。

【0034】また、請求項9の半導体ナノ結晶の製造方法は、請求項1乃至8のいずれか1つの半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜の堆積膜厚tと、隣接する上記半導体ナノ結晶の中心間の距離sは、 $t < (\pi/6)s$ の関係を満たすことを特徴としている。

【0035】上記請求項9の半導体ナノ結晶の製造方法によれば、上記堆積膜厚tと半導体ナノ結晶の中心間の距離sの関係式を満足するように、堆積膜厚tと半導体ナノ結晶の中心間の距離sを設定することによって、隣接する半導体ナノ結晶同士がくっつくことなく、互いに間隔をあけて半導体ナノ結晶を形成できる。

【0036】また、請求項10の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法におい

て、上記半導体ナノ結晶は、シリコン、ゲルマニウムまたはシリコンとゲルマニウムの混合物のうちのいずれか1つからなることを特徴としている。

【0037】上記請求項10の半導体ナノ結晶の製造方法によれば、シリコン、ゲルマニウムまたはシリコンとゲルマニウムの混合物のうちのいずれか1つからなる半導体ナノ結晶は、既存の製造装置とプロセス制御により容易に形成することができ、半導体ナノ結晶の大きさ、形状および結晶性等の制御性がよく、ばらつきの少ない半導体ナノ結晶を容易に形成できる。

【0038】また、請求項11の半導体ナノ結晶の製造方法は、請求項10の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンからなる場合、上記非晶質半導体薄膜を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスシリコン薄膜を堆積すると共に、上記半導体ナノ結晶を形成するステップは、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させることを特徴としている。

【0039】上記請求項11の半導体ナノ結晶の製造方法によれば、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つとヘリウム、窒素、アルゴンまたは水素等の酸化性を有しないガスとの混合ガスを原料ガスとして、大気圧以下の真空中で反応させて、非晶質半導体薄膜を堆積させた後、引き続いて、圧力が10 Torr以下の真空中または10 Torr以下のヘリウム、窒素、アルゴンおよび水素等の酸化性を有しないガス雰囲気中で、上記非晶質半導体薄膜の堆積温度以上で熱処理することによって、大きさ、形状が均一な球状の半導体ナノ結晶を形成できる。

【0040】また、請求項12の半導体ナノ結晶の製造方法は、請求項10の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がゲルマニウムからなる場合、上記非晶質半導体薄膜を形成するステップは、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを原料ガスとして、または、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスゲルマニウム薄膜を堆積すると共に、上記半導体ナノ結晶を形成するステップは、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させることを特徴としている。

【0041】上記請求項12の半導体ナノ結晶の製造方法によれば、四フッ化ゲルマニウムまたはモノゲルマン

のいずれか1つを原料ガスとして、または、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つとヘリウム、窒素、アルゴンまたは水素等の酸化性を有しないガスとの混合ガスを原料ガスとして、大気圧以下の真空中で反応させて、非晶質半導体薄膜を堆積させた後、引き続いて、圧力が10 Torr以下の真空中または10 Torr以下のヘリウム、窒素、アルゴンおよび水素等の酸化性を有しないガス雰囲気中で、上記非晶質半導体薄膜の堆積温度以上で熱処理することによって、大きさ、形状が均一な球状の半導体ナノ結晶を形成できる。

【0042】また、請求項13の半導体ナノ結晶の製造方法は、請求項10の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンとゲルマニウムからなる場合、上記非晶質半導体薄膜を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つとを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスシリコンゲルマニウム薄膜を堆積すると共に、上記半導体ナノ結晶を形成するステップは、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させることを特徴としている。

【0043】上記請求項13の半導体ナノ結晶の製造方法によれば、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つとを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つとヘリウム、窒素、アルゴンまたは水素等の酸化性を有しないガスとの混合ガスを原料ガスとして、大気圧以下の真空中で反応させて、非晶質半導体薄膜を堆積させた後、引き続いて、圧力が10 Torr以下の真空中または10 Torr以下のヘリウム、窒素、アルゴンおよび水素等の酸化性を有しないガス雰囲気中で、上記非晶質半導体薄膜の堆積温度以上で熱処理することによって、大きさ、形状が均一な球状の半導体ナノ結晶を形成できる。

【0044】また、請求項14の半導体ナノ結晶を用いた半導体記憶素子は、請求項1乃至13のいずれか1つの半導体ナノ結晶の製造方法により製造された上記半導体ナノ結晶を、SOI(Semiconductor on Insulator)基板上に形成されたトランジスタのフローティングゲートとしたことを特徴としている。

【0045】上記請求項14の半導体ナノ結晶を用いた半導体記憶素子によれば、上記半導体ナノ結晶をSOI基板上に形成されたトランジスタのキャリア閉じ込め領域としてのフローティングゲートに用いることによっ

て、少ない素子数でかつ小さな面積で構成でき、特性ばらつきが少なく、高速書き換えが可能な不揮発性を有する半導体記憶素子を実現できる。

#### 【0046】

【発明の実施の形態】以下、この発明の半導体ナノ結晶の製造方法およびその半導体ナノ結晶を用いた半導体記憶素子を図示の実施の形態により詳細に説明する。

【0047】(第1実施形態) 図1(A)～(E)はこの発明の第1実施形態の半導体ナノ結晶の製造方法を用いた半導体記憶素子の製造工程を示す図である。

【0048】はじめに、図1(A)に示すように、シリコン基板1表面を以下の条件でRTO(Rapid Thermal Oxidation)により酸化させて、シリコン基板1表面に厚さ2 nmのトンネル絶縁膜2を形成する。

#### 【0049】

N<sub>2</sub>OとO<sub>2</sub>の混合ガス : N<sub>2</sub>O + O<sub>2</sub> = 6.5%

温度 : 1050°C

次に、図示しない炉タイプのホットウォール型LP(低压)CVD(ケミカル・ベイパー・ディポジション)装置を使用して、同一装置内でトンネル絶縁膜2上にアモルファスシリコン薄膜3を堆積する堆積工程(図1(B)に示す)と、さらに、球状結晶化のための熱処理工程(図1(C), (D)に示す)とを次の条件で真空状態を保ったまま連続的に行う。

#### 【0050】[アモルファスシリコン薄膜の堆積工程]

温度 : 500°C

原料ガス : モノシラン 50 sccm

希釈ガス : ヘリウム 1000 sccm

圧力 : 25 Pa

堆積速度 : 2 Å/1分間

膜厚 : 4 nm

#### [熱処理工程]

温度 : 750°C

雰囲気ガス : ヘリウム

圧力 : 0.01 Torr

上記条件で図1(D)に示すように、直径d<sub>0</sub>が8 nm、間隔が6 nm、中心間の距離sが14 nm程度のナノ結晶4が得られた。

【0051】上記[アモルファスシリコン薄膜の堆積工程]の原料ガスは、モノシランのかわりにジシランガスやトリシランガスを用いてもよい。上記モノシランガス、ジシランガス、トリシランガスの順により低温で分解するので、この順に堆積温度を下げる事ができる。各々500～550°C、450～500°C、400～450°Cの温度範囲でアモルファスシリコン薄膜を堆積することができる。一般に薄膜は、10 nm以下に非常に薄くなると、堆積直後は島状になりやすく、今回必要とされる連続的な薄膜を得るにはより低温で堆積するが望ましい。

【0052】また、希釈ガスとしてヘリウムのかわりに

窒素、水素、アルゴン等の酸化性を有しないガスを用いてもよい。必ずしも希釈ガスは用いる必要はないが、希釈ガスを用いた場合、膜厚均一性を容易に制御することができる。

【0053】また、上記【熟処理工程】の温度は、結晶化を進行させるためにアモルファスシリコン薄膜の堆積温度以上とする必要がある。望ましくは、結晶化が容易に進行する600°C以上がよい。この熟処理の初期に生成する結晶核の密度は、一般に高温ほど高く、この第1実施形態では750°Cとした。また、10 Torr以上の圧力では、ナノ結晶が球状とならなかったり、ナノ結晶の大きさがばらつくなどの不具合が生じるので好ましくない。一般に、所望のナノ結晶を得るには、堆積したアモルファスシリコン薄膜の膜質に適した温度に設定する必要がある。また、熟処理中に少量の酸化性を有しないガスを雰囲気とすることによって、基板全面でより均一なナノ結晶を得やすくなる。なお、真空中で基板をローダロック室を介して搬送可能なCVD反応室とランプアニールまたは熟処理炉を備えた装置では、アモルファスシリコン薄膜の堆積工程と熟処理工程を別々の反応室で行ってもよい。

【0054】次に、図1(B)に示すように、厚さ7nm程度のSiO<sub>2</sub>膜をCVD法により堆積して、コントロールゲート絶縁膜5を形成した後、ゲート電極6となる多結晶シリコン領域を作製する。この多結晶シリコン領域には、n型不純物を高濃度にドープして低抵抗化する。その後、上記シリコン基板1にソース、ドレイン領域7、8を形成する。

$$d_0 = 2 r_0 \leq 2 h / [8 m k T]^{1/2} \leq 18 \text{ nm} \quad (\text{式 } 4)$$

を満足する必要がある。

【0059】また、1個のナノ結晶をそのナノ結晶と周囲の絶縁膜の境界に存在するポテンシャルバリア(ナノ結晶をSi<sub>x</sub>、絶縁膜をSiO<sub>2</sub>とすると、その高さは約3.2eV)で囲まれたキャリア閉じ込め領域とし、1個の電子が1個のナノ結晶に蓄積されたとき、さらに別の電子が入ってくるのを阻止する効果(クローンブロッケード)が室温で発現するためには、1個の電子が蓄積されたときの静電気エネルギー $q^2/(2C)$ の増加が熱的なゆらぎのエネルギー $kT$ より大きいことが要求され、その関係は次式で表される。

$$[0060] q^2/(2C) > kT \quad (\text{式 } 5)$$

$$C = 4\pi\epsilon_1 d_0 \quad (\text{式 } 6)$$

$q$  : 電子1個の電荷

$k$  : ボルツマン定数

T : 温度(室温)

C : ナノ結晶の自己容量

$\epsilon_1$  : 周囲の絶縁膜の誘導率

上記(式6)を(式5)に代入して、

$$q^2/2 / (\pi\epsilon_1 d_0) > kT$$

$$d_0 < q^2 / 8\pi\epsilon_1 kT \quad (\text{式 } 7)$$

【0055】上記半導体ナノ結晶の製造方法では、アモルファスシリコン薄膜3の膜質と熟処理条件で隣接するナノ結晶の中心間の距離sと堆積膜厚tを制御することによって、ナノ結晶の密度、大きさを制御することができる。また、上記ナノ結晶4の直径を18nm未満にすることによって、球状のナノ結晶4の最低エネルギーが室温におけるエネルギーより大きくなるので、キャリア閉じ込め領域としてのナノ結晶4は、熱的なゆらぎの影響を受けることなく、室温で電子を十分に長時間保持することができる。

【0056】上記ナノ結晶4の直径を18nm未満にすることによる理由を以下に説明する。

【0057】まず、上記球状のナノ結晶を半径 $r_0$ の球とみなすと、ナノ結晶内の基底エネルギーEは、一般的な量子力学に基づいて、

$$E = h^2 / (8m) \times (1/r_0)^2 \quad (\text{式 } 3)$$

(h : プランク定数、m : 電子の有効質量)

で表される。上記ナノ結晶が、熱的なゆらぎの影響を受けることなく、キャリアの閉じ込め領域として有効に働くためには、基底エネルギーEがエネルギーのゆらぎ $kT$ より大きい必要がある。このためには以下の不等式を満足する必要がある。

#### 【0058】

$$E > kT \quad (\text{式 } 4)$$

(k : ボルツマン定数、T : 温度)

上記(式3)、(式4)により室温でキャリアの閉じ込め領域として有効となるためには、ナノ結晶の直径 $d_0$ は、

$$d_0 = 2 r_0 \leq 2 h / [8 m k T]^{1/2} \leq 18 \text{ nm} \quad (\text{式 } 4)$$

となる。上記(式7)を室温で満足させるためには、ナノ結晶の直径 $d_0$ は、

$$d_0 \leq 18 \text{ nm}$$

となる。このように、ナノ結晶内のエネルギーが量子化され、その基底エネルギーが室温のゆらぎより高く、かつ、クローンブロッケードが発現するためには、ナノ結晶の大きさは、直径が18nmより小さい必要がある。

【0061】したがって、上記半導体ナノ結晶の製造方法では、密度、大きさの制御性がよく、ばらつきの少ないナノ結晶を形成することができる。また、このナノ結晶を半導体記憶素子に用いた場合、ナノ結晶とチャネル領域との間の絶縁膜の膜厚を容易に制御でき、しきい値電圧や書き込み性能等の特性ばらつきが少なく、高速書き換えが可能な不揮発性を有する半導体記憶素子を実現することができる。

【0062】また、上記アモルファスシリコン薄膜3を堆積させた後、大気にさらすことなく、自然酸化膜のない状態でナノ結晶4を形成すると、結晶化中の表面に結晶成長を阻害する自然酸化膜がないので、図1(C)に示すように、ナノ結晶4表面の形状が容易に変化しながら結晶化し、ナノ結晶は、最も安定な形状である球に近い

形となる。

【0063】上記アモルファスシリコン薄膜3を堆積した後、一旦基板を大気にさらして表面に自然酸化膜が生成した場合は、以下の方法で表面の自然酸化膜を除去した後、大気にさらさないで表面に自然酸化膜を生成することなく、引き続いて連続的に結晶化のための熱処理することによって、図示せず1(c)に示すように、ナノ結晶4表面の形状が容易に変化しながら結晶化するため、最も安定な形状である球に近い形となり。同等のナノ結晶を得ることができる。すなわち、真空中で基板を搬送することのできるロードロック室を介して自然酸化膜を除去する反応室と熱処理装置を有するいわゆるマルチチャンバー型装置を使用して連続的に処理する。また、上記自然酸化膜は、沸酸HFの蒸気雰囲気中でエッティングにより除去してもよいし、Arプラズマ中でスパッタリングにより除去してもよい。

【0064】また、上記アモルファスシリコン薄膜3の堆積膜厚tと、隣接するナノ結晶4の中心間の距離sとの関係式 $t < (\pi/6)s$ を満足するように、堆積膜厚tとナノ結晶の中心間の距離sを設定することによって、隣接するナノ結晶4同士がくっつくことなく、互いに間隔をあけてナノ結晶4を形成することができる。

【0065】また、上記ナノ結晶4は、シリコンからなるので、既存の製造装置とプロセス制御により容易に形成することができ、ナノ結晶の大きさ、形状および結晶性等の制御性がよく、ばらつきの少ないナノ結晶を容易に形成することができる。

【0066】また、上記モノシリランガスと酸化性を有しないヘリウムガスとの混合ガスを原料ガスとして、大気圧以下の真空中で反応させて、アモルファスシリコン薄膜3を堆積させた後、引き続いて、10Torr以下の酸化性を有しないヘリウムガス雰囲気中で、アモルファスシリコン薄膜3の堆積温度500°C以上の温度(750°C)で熱処理することによって、大きさ、形状が均一な球状のナノ結晶4を形成することができる。

【0067】上記第1実施形態の半導体ナノ結晶の製造方法では、トンネル絶縁膜2の形成後にナノ結晶4を形成したが、順序を逆にしてもよい。すなわち、図2(A)に示すように、上記製造方法と同様の【アモルファスシリコン薄膜の堆積工程】で、シリコン基板11上にアモルファスシリコン薄膜12を形成し、図2(B)に示すように、【熱処理工程】により10nmのナノ結晶13を形成した後、図2(C)に示すように、ナノ結晶13表面を厚さ2nmほど酸化すると共に、シリコン基板11表面を酸化してトンネル絶縁膜14bを形成する。こうして、表面が酸化されたナノ結晶13aの直径は8nm程度となる。そして、図2(D)に示すように、上記ナノ結晶13a表面の酸化膜14aと上記トンネル絶縁膜14bの上に、厚さ7nm程度のSiO<sub>2</sub>膜をCVD法により堆積して、コントロールゲート絶縁膜15を形成した後、ゲート電極

16となる多結晶シリコン領域を作製する。この多結晶シリコン領域には、n型不純物を高濃度にドープして低抵抗化する。その後、上記シリコン基板11にソース、ドレイン領域17, 18を形成する。このように、上記半導体基板11上にナノ結晶13を形成した後、ナノ結晶13表面と半導体基板11表面とを酸化して絶縁膜14a, 14bを形成することによって、ソース、ドレイン領域17, 18間のチャネル領域とナノ結晶13間のトンネル絶縁膜となる酸化膜を制御よく形成することができる。

【0068】また、上記第1実施形態では、シリコンSiのナノ結晶について述べたが、ゲルマニウムGeのナノ結晶についても、非晶質半導体薄膜としてアモルファスゲルマニウム薄膜を形成する堆積工程と熱処理工程により同様に形成でき、ナノ結晶の大きさ、形状および結晶性等の制御性がよく、ばらつきの少ないナノ結晶を容易に形成できる。

【0069】上記アモルファスゲルマニウム薄膜は、以下の条件でLPCVD装置により堆積する。

#### 【0070】

原料ガス：四フッ化ゲルマニウムGeF<sub>4</sub>

温度 : 350°C

圧力 : 25Pa

なお、原料ガスにモノゲルマンGeH<sub>4</sub>を用いてもよい。

【0071】また、シリコンSiとゲルマニウムGeからなるナノ結晶についても、非晶質半導体薄膜としてのアモルファスシリコンゲルマニウム薄膜を形成する堆積工程と熱処理工程により同様に形成でき、ナノ結晶の大きさ、形状および結晶性等の制御性がよく、ばらつきの少ないナノ結晶を容易に形成できる。

【0072】上記アモルファスシリコンゲルマニウム薄膜は、以下の条件でLPCVD装置により堆積する。

【0073】原料ガス：四フッ化ゲルマニウムGeF<sub>4</sub>とジシランSi<sub>2</sub>H<sub>6</sub>

温度 : 375°C

圧力 : 25Pa

なお、原料ガスの四フッ化ゲルマニウムGeF<sub>4</sub>の代わりにモノゲルマンGeH<sub>4</sub>を用いてもよいし、Si<sub>2</sub>H<sub>6</sub>の代わりにシランまたはトリシランを用いてもよい。

【0074】また、上記第1実施形態では、シリコン基板を用いたが、図3に示すように、SIMOX(Separation by Implanted Oxygen)のようなSOI(Semiconductor on Insulator)基板40を用いてもよい。図3に示すように、半導体基板41、埋込酸化層42および半導体層43で構成されたSOI基板40上に、トンネル絶縁膜32を形成し、そのトンネル絶縁膜32上に互いに間隔をあけて球状のナノ結晶34を形成している。そして、上記ナノ結晶34上とトンネル絶縁膜32上にコントロールゲート絶縁膜35を形成し、そのコントロールゲート絶縁膜35上の半導体層43に形成されたソース

領域37とドレン領域38との間の領域に対向する領域にゲート電極36を形成している。上記ナノ結晶34をSOI基板40上に形成されたトランジスタのキャリア閉じ込め領域としてのフローティングゲートに用いることによって、少ない素子数でかつ小さな面積で構成でき、特性ばらつきが少なく、高速書き換えが可能な不揮発性を有する半導体記憶素子を実現することができる。

【0075】(第2実施形態)図4(A)～(F)はこの発明の第2実施形態の半導体ナノ結晶の製造方法を用いた半導体記憶素子の製造工程を示す図である。この第2実施形態では、結晶核を形成する以外は第1実施形態と同一である。

【0076】まず、図4(A)に示すように、シリコン基板51上に第1実施形態と同様の方法でトンネル絶縁膜52を形成する。

【0077】次に、図4(B)に示すように、第1実施形態と同様の方法で厚さ4nmのアモルファスシリコン薄膜53を堆積する。

【0078】次に、以下の方法で、第1実施形態と同一のLPCVD装置(図示せず)内でアモルファスシリコン薄膜53表面上への結晶核60を形成する工程(図4(C)に示す)と、結晶化のための熱処理を施してナノ結晶54を形成する工程(図4(D),(E)に示す)を大気にさらすことなく連続的に行う。

#### 【0079】[前処理工程]

弗酸HF : 1%

時間 : 1分間

[結晶核の形成工程] 一旦  $1 \times 10^{-9}$  Torrまで真空引きした後、

温度 : 590°C

圧力 :  $1 \times 10^{-5}$  Torr

ジシランガス : 10 sccm

時間 : 12分間

#### [結晶化のための熱処理工程]

温度 : 770°C

圧力 :  $1 \times 10^{-9}$  Torr

時間 : 60秒間

上記条件で図4(E)に示すように、直径8nm、間隔6nm、中心間の距離14のナノ結晶54が形成できた。上記結晶核60の形成中(ジシランガス照射中)は結晶成長は起こらず、結晶核密度は、温度が高いほどジシランガス照射時間が長い程大きく、結晶化のための熱処理時間が長いほど結晶核は大きくなる。すなわち、ジシランガス照射温度と時間および熱処理時間を適正化することによって、所望のナノ結晶を形成することが可能になるのである。

【0080】上記結晶核形成の制御性を考えると、550～620°Cの温度範囲が望ましい。また、上記ジシランガスの代わりにモノシランまたはトリシランガスを照射して、結晶核を形成してもよい。なお、0.01T

Torr以上の圧力では、島状のシリコン粒の形成が起こるので適切ではない。

【0081】また、上記「結晶化のための熱処理工程」の温度は550°C以上であって、結晶核形成時の温度と同一か、または、結晶核形成時の温度以上の温度であればよい。

【0082】この第2実施形態では、結晶核形成後に温度を変化させる手間を避けるため、結晶核形成温度と次の熱処理温度を同一とした。上記「結晶核の形成工程」において、温度が550°C以下では結晶化が起らならない。また、ナノ結晶とトンネル絶縁膜の形成順についても第1実施形態と同様どちらを先にしてもよい。ただし、トンネル絶縁膜を酸化で形成する場合は、酸化時のナノ結晶表面の酸化量を考慮して、ナノ結晶を形成することが必要である。

【0083】次に、図4(F)に示すように、上記ナノ結晶54上とトンネル絶縁膜52上にSiO<sub>2</sub>膜をCVD法により堆積して、コントロールゲート絶縁膜55を形成した後、ゲート電極56となる多結晶シリコン領域を作製する。この多結晶シリコン領域には、n型不純物を高濃度にドープして低抵抗化する。その後、上記シリコン基板51にソース、ドレン領域57, 58を形成する。

【0084】上記半導体ナノ結晶の製造方法では、第1実施形態と同様の作用、効果を有すると共に、上記半導体基板51上に形成されたトンネル絶縁膜52上にアモルファスシリコン薄膜3を堆積した後、そのアモルファスシリコン薄膜3の表面に結晶核60を形成し、続いて大気圧以下の低圧下で熱処理によりアモルファスシリコン薄膜3の表面の結晶核60を種にしてナノ結晶54を成長させるので、ナノ結晶54の大きさ、形状や結晶性等の制御性が高まり、ばらつきをより一層低減することができる。この場合、結晶核密度は、結晶核の形成条件によって決定することができる。

【0085】この第2実施形態の半導体ナノ結晶の製造方法では、シリコンSiのナノ結晶について述べたが、第1実施形態と同じように、ゲルマニウムGeのナノ結晶についても同様に形成できる。

【0086】例えば、アモルファスゲルマニウム膜を第1実施形態と同じ方法で堆積した後、ゲルマニウムGeの結晶核は、次の方法で形成できる。

#### 【0087】[前処理工程]

弗酸HF : 1%

時間 : 1分間

[結晶核の形成工程] 一旦  $1 \times 10^{-9}$  Torrまで真空引きした後、

温度 : 390°C

圧力 :  $1 \times 10^{-5}$  Torr

モノゲルマンGeH<sub>4</sub> : 10 sccm

時間 : 10分間

なお、モノゲルマンGeH<sub>4</sub>の代わりに四フッ化ゲルマニ

ウムGeF<sub>4</sub>を用いてもよい。

【0088】 [結晶化のための熱処理工程]

温度 : 750°C

圧力 : 1 × 10<sup>-9</sup> Torr

時間 : 60秒間

また、シリコンSiとゲルマニウムGeからなるナノ結晶についても同様に形成でき、例えば、アモルファスシリコンゲルマニウム薄膜を第1実施形態と同じ方法で堆積した後、シリコンSiとゲルマニウムGeからなる結晶核は次の方で形成できる。

【0089】 [前処理工程]

弗酸HF : 1%

時間 : 1分間

[結晶核の形成工程] 一旦 1 × 10<sup>-9</sup> Torrまで真空引きした後、

温度 : 390°C

圧力 : 1 × 10<sup>-5</sup> Torr

モノゲルマンGeH<sub>4</sub>ジシランガス : 10 sccm

時間 : 12分間

なお、モノゲルマンGeH<sub>4</sub>の代わりに四フッ化ゲルマニウムGeF<sub>4</sub>を用いてもよいし、ジシランの代わりにシランまたはトリシランを用いてもよい。

【0090】 [結晶化のための熱処理工程]

温度 : 750°C

圧力 : 1 × 10<sup>-9</sup> Torr

時間 : 60秒間

また、上記第2実施形態では、シリコン基板を用いたが、第1実施形態と同様SOI基板を用いることもできる。

【0091】 なお、この発明の半導体ナノ結晶の製造方法および半導体記憶素子は、上記第1、第2実施形態の半導体記憶素子の構成に限定されるものではなく、球状の半導体ナノ結晶をキャリアの蓄積ノードとして用いる他のデバイスにも適用できる。

【0092】 また、上記第1、第2実施形態では、非晶質半導体薄膜としてアモルファスシリコン薄膜、アモルファスゲルマニウム薄膜およびアモルファスシリコンゲルマニウム薄膜を用いた半導体ナノ結晶の製造方法について説明したが、非晶質半導体薄膜は、これに限らないのは勿論である。

【0093】

【発明の効果】 以上より明らかのように、請求項1の発明の半導体ナノ結晶の製造方法は、半導体基板上または上記半導体基板上に形成された絶縁膜上に大気圧以下の低圧下で非晶質半導体薄膜を堆積した後、真空中または酸化性を有しないガスの雰囲気中で非晶質半導体薄膜の堆積温度以上の温度で非晶質半導体薄膜に熱処理を施して、上記半導体基板上または絶縁膜上に直径18nm以下の球状の複数の半導体ナノ結晶を互いに間隔をあけて形成するものである。

【0094】 したがって、請求項1の発明の半導体ナノ結晶の製造方法によれば、上記半導体ナノ結晶の密度、大きさ等の制御性がよく、特性ばらつきの少ない半導体ナノ結晶を形成できる。また、半導体ナノ結晶の直径を18nm未満にすることによって、球状の半導体ナノ結晶の最低エネルギーが室温におけるエネルギーより大きくなるので、キャリア閉じ込め領域としての半導体ナノ結晶は、熱的なゆらぎの影響を受けることなく、室温で電子を十分に長時間保持することができる。また、単電子トランジスタや單電子メモリに適用できるnmサイズの球状の半導体ナノ結晶を実現することができる。上記半導体ナノ結晶を用いて、極低温への冷却を必要とせず室温で情報記憶可能な特性ばらつきの少ない半導体記憶素子を提供することができる。さらに、この半導体記憶素子を用いることによって、少ない素子数、少ない面積で情報記憶装置（メモリ）が構成できると共に、高速に置き換える可能かつ不揮発性を有する半導体記憶装置を実現することができる。

【0095】 また、請求項2の発明の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記非晶質半導体薄膜を大気にさらすことなく、上記半導体ナノ結晶を形成するので、結晶化中の表面に結晶成長を阻害する自然酸化膜がなく、半導体ナノ結晶表面の形状が容易に変化しながら結晶化するため、半導体ナノ結晶は、最も安定な形状である球に近い形となる。

【0096】 また、請求項3の発明の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記半導体ナノ結晶を形成する前に上記非晶質半導体薄膜の堆積温度以下で上記非晶質半導体薄膜の表面の酸化膜を除去するので、上記非晶質半導体薄膜を堆積した後、基板を一旦大気にさらした後でも、自然酸化膜を還元して除去し、その後、上記半導体ナノ結晶を形成するための熱処理すると、半導体ナノ結晶表面の形状が容易に変化しながら結晶化するため、半導体ナノ結晶は、最も安定な形状である球に近い形となる。

【0097】 また、請求項4の発明の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜を堆積した後、上記半導体ナノ結晶を形成する前に大気圧以下の低圧下で上記非晶質半導体薄膜の表面に結晶核を形成するので、その後、引き続いて大気圧以下の低圧下で熱処理により非晶質半導体薄膜の表面の結晶核を種にして半導体ナノ結晶を成長させるから、半導体ナノ結晶の大きさ、形状や結晶性等の制御性が高まり、ばらつきをより一層低減することができる。

【0098】 また、請求項5の発明の半導体ナノ結晶の製造方法は、請求項4の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンからなる場合、上

記結晶核を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを含んだガスを原料ガスとして、0.01 Torr以下の中空内で行うので、上記ガスの分子または反応種を非晶質半導体薄膜表面に吸着させ、島状のシリコン粒を形成することなく、シリコンからなるナノ結晶の形成に最適な結晶核を容易に形成することができる。

【0099】また、請求項6の発明の半導体ナノ結晶の製造方法は、請求項4の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がゲルマニウムからなる場合、上記結晶核を形成するステップは、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを含んだガスを原料ガスとして、0.01 Torr以下の中空内で行うので、上記ガスの分子または反応種を非晶質半導体薄膜表面に吸着させ、島状のゲルマニウム粒を形成することなく、ゲルマニウムからなる半導体ナノ結晶の形成に最適な結晶核を容易に形成することができる。

【0100】また、請求項7の発明の半導体ナノ結晶の製造方法は、請求項4の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンとゲルマニウムからなる場合、上記結晶核を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを含んだガスを原料ガスとして、0.01 Torr以下の真空中で行うので、上記ガスの分子または反応種を非晶質半導体薄膜表面に吸着させ、島状のシリコンゲルマニウム粒を形成することなく、シリコンとゲルマニウムからなる半導体ナノ結晶の形成に最適な結晶核を容易に形成することができる。

【0101】また、請求項8の発明の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記半導体基板上に上記非晶質半導体薄膜を堆積した場合、上記半導体ナノ結晶を形成した後、上記半導体ナノ結晶表面と上記半導体基板表面を酸化させて酸化膜を形成するので、この半導体ナノ結晶を半導体記憶素子に用いた場合、半導体記憶素子のチャネル領域と半導体ナノ結晶間のトンネル絶縁膜となる酸化膜を制御よく形成することができる。

【0102】また、請求項9の発明の半導体ナノ結晶の製造方法は、請求項1乃至8のいずれか1つの半導体ナノ結晶の製造方法において、上記非晶質半導体薄膜の堆積膜厚 $t$ と、隣接する上記半導体ナノ結晶の中心間の距離 $s$ は、 $t < (\pi/6)s$ の関係を満たすように、堆積膜厚 $t$ と半導体ナノ結晶の中心間の距離 $s$ を設定することによって、隣接する半導体ナノ結晶同士がくっつくことなく、互いに間隔をあけて半導体ナノ結晶を形成することができる。

【0103】また、請求項10の発明の半導体ナノ結晶の製造方法は、請求項1の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶は、シリコン、ゲルマニウ

ムまたはシリコンとゲルマニウムの混合物のうちのいずれか1つからなることで、既存の製造装置とプロセス制御により容易に形成することができ、半導体ナノ結晶の大きさ、形状および結晶性等の制御性がよく、ばらつきの少ない半導体ナノ結晶を容易に形成することができる。

【0104】また、請求項11の発明の半導体ナノ結晶の製造方法は、請求項10の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンからなる場合、上記非晶質半導体薄膜を形成するステップは、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスシリコン薄膜を堆積すると共に、上記半導体ナノ結晶を形成するステップは、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させるので、大きさ、形状が均一な球状の半導体ナノ結晶を形成することができる。

【0105】また、請求項12の発明の半導体ナノ結晶の製造方法は、請求項10の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がゲルマニウムからなる場合、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを原料ガスとして、または、四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスゲルマニウム薄膜を堆積すると共に、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させるので、大きさ、形状が均一な球状の半導体ナノ結晶を形成することができる。

【0106】また、請求項13の発明の半導体ナノ結晶の製造方法は、請求項10の半導体ナノ結晶の製造方法において、上記半導体ナノ結晶がシリコンとゲルマニウムからなる場合、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つを原料ガスとして、または、シランガス、ジシランガスまたはトリシランガスのうちのいずれか1つと四フッ化ゲルマニウムまたはモノゲルマンのいずれか1つと酸化性を有しないガスとの混合ガスを原料ガスとして、アモルファスシリコンゲルマニウム薄膜を堆積すると共に、10 Torr以下の真空中または10 Torr以下の酸化性を有しないガスの雰囲気中で上記半導体ナノ結晶を成長させるので、大きさ、形状が均一な球状の半導体ナノ結晶を形成することができる。

【0107】また、請求項14の発明の半導体ナノ結晶を用いた半導体記憶素子は、請求項1乃至13のいずれか1つの半導体ナノ結晶の製造方法により製造された上

記半導体ナノ結晶を、SOI基板上に形成されたトランジスタのフローティングゲートとして用いたものである。

【0108】したがって、請求項1～4の発明の半導体ナノ結晶を用いた半導体記憶素子によれば、上記半導体ナノ結晶をSOI基板上に形成されたトランジスタのキャリア閉じ込め領域としてのフローティングゲートに用いることによって、少ない素子数でかつ小さな面積で構成でき、特性ばらつきが少なく、高速書き換えが可能な拡張性を有する半導体記憶素子を実現することができる。

#### 【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態の半導体ナノ結晶の製造方法を用いた半導体記憶素子の製造工程を示す図である。

【図2】 図2は上記半導体ナノ結晶の製造方法においてシリコン基板上に半導体ナノ結晶を形成した場合の工程図である。

【図3】 図3は上記半導体ナノ結晶の製造方法において

SOI基板上に半導体ナノ結晶を形成した場合の断面図である。

【図4】 図4はこの発明の第2実施形態の半導体ナノ結晶の製造方法を用いた半導体記憶素子の製造工程を示す図である。

【図5】 図5は従来の半導体記憶素子の断面図である。

【図6】 図6は上記半導体記憶素子の浮遊ゲートを示す拡大図である。

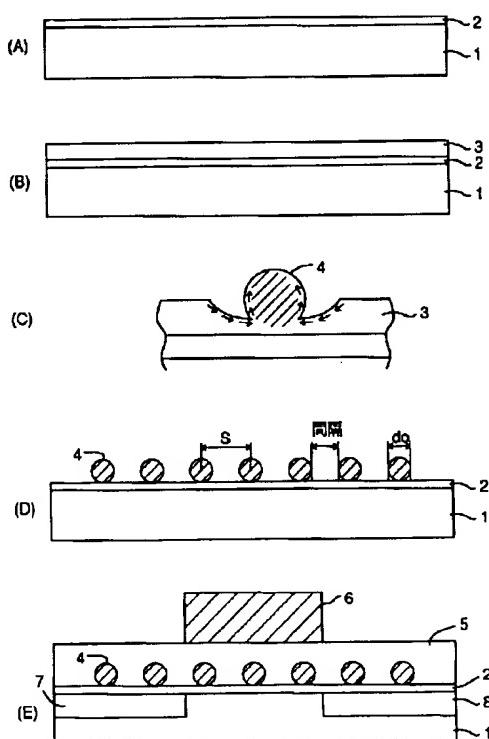
【図7】 図7は従来のトンネル絶縁膜上にナノ結晶を有する半導体記憶素子の断面の模式図である。

【図8】 図8(A)～(C)は従来の熱酸化膜中にナノ結晶を有する半導体記憶素子の製造方法を示す工程図である。

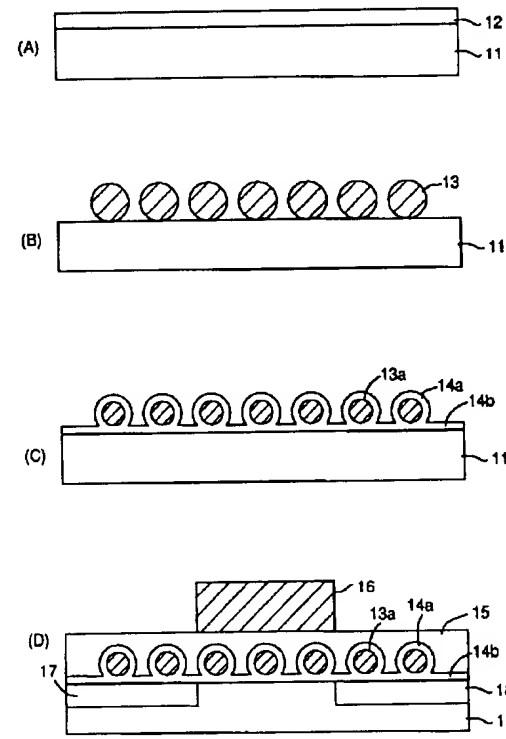
#### 【符号の説明】

1…シリコン基板、2…トンネル絶縁膜、3…アモルファスシリコン薄膜、4…ナノ結晶、5…コントロールゲート絶縁膜、6…ゲート電極、7…ソース領域、8…ドレイン領域。

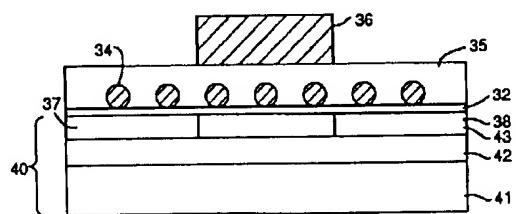
【図1】



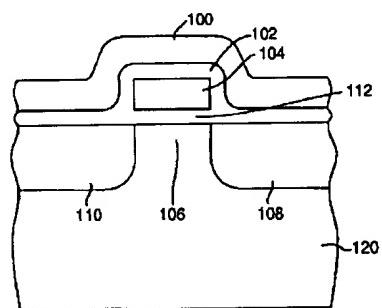
【図2】



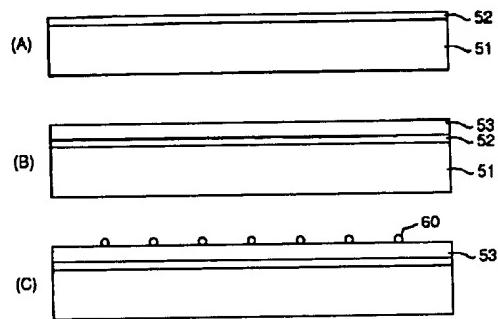
【図3】



【図5】



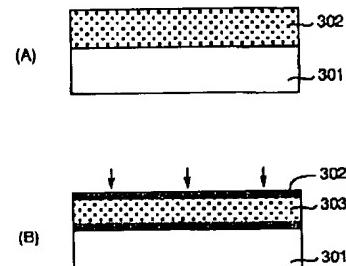
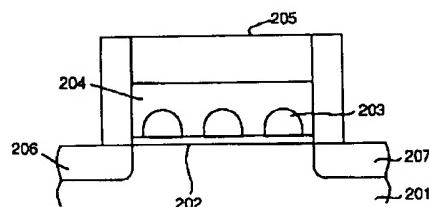
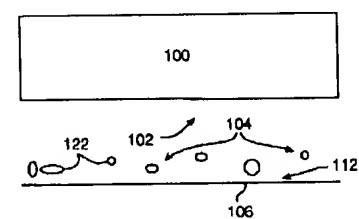
【図4】



【図6】

【図7】

【図8】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 1 L 27/115  
29/06

識別記号

F I